

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-288653

(43)Date of publication of application : 27.10.1998

(51)Int.Cl.

G01R 31/319
G01R 29/02
G01R 31/26

(21)Application number : 09-097078

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 15.04.1997

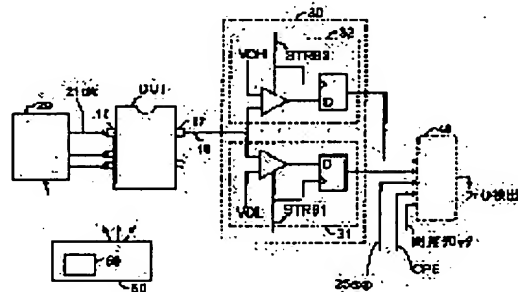
(72)Inventor : TAMURA KENICHI
WATANABE TOSHIAKI
SAWAMI KIYOTAKA

(54) JITTER MEASURING METHOD AND SEMICONDUCTOR TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to measure the width of jitter by moving a strobe signal sequentially, detecting the presence or absence of fails and obtaining the rear-edge position and the front-edge position of the jitter.

SOLUTION: From a test-pattern generator 20, a specified reference clock signal 21clk, is supplied into a reference-clock input terminal 11 of a DUT. A fail counter 40 initially sets the position of a strobe signal at the position of the rear-edge side of jitter, which does not detect a fail. Then, the timing position of the strobe signal is sequentially moved forward until the fail counter 40 detects the fail for a specified time. The position of the strobe signal when the fail is detected is made to be the jitter rear-edge position Max. Furthermore, the fail counter 40 initially sets the position of the strobe signal at the position of the front-edge side of the jitter for detecting all fails. The timing position of the strobe signal is sequentially moved to the rear side. The position when all fails are not detected is made to be the jitter front-edge position Min. The difference between the rear-edge position Max and the front-edge position Min is obtained and made to be the width of the jitter.



LEGAL STATUS

[Date of request for examination] 06.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3413342

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-288653

(43)公開日 平成10年(1998)10月27日

(51)Int.Cl. ^a	識別記号	F I	
G 0 1 R	31/319	G 0 1 R	31/28 R
	29/02		29/02 L
	31/26		31/26 G

審査請求 未請求 請求項の数4 OL (全 8 頁)

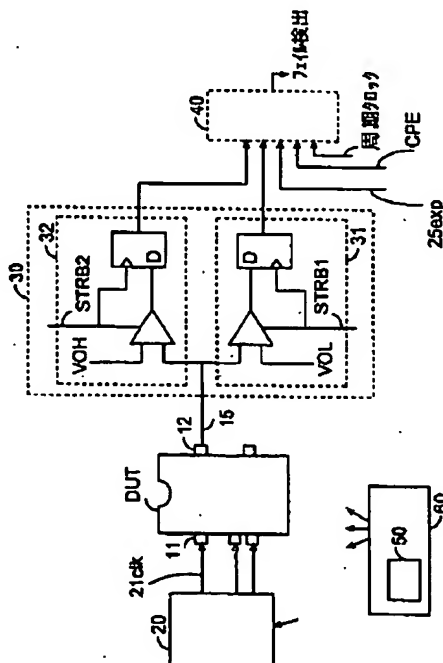
(21)出願番号	特願平9-97078	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成9年(1997)4月15日	(72)発明者	田村 健一 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内
		(72)発明者	渡辺 利明 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内
		(72)発明者	沢見 清隆 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内

(54) 【発明の名称】 ジッタ測定方法及び半導体試験装置

(57) 【要約】

【課題】半導体試験装置を用いてデバイスが出力する周波数信号のジッタを測定する測定方法及びジッタ測定装置を実現。

【解決手段】所定の基準クロック信号をDUTの基準クロック入力端に供給する試験パターン発生器と、DUT出力端からの出力信号を受けて、手前側から順次後方ヘストロブ信号を移動させ、各ストロブ移動位置でフェイルカウンタによるフェイルの有無を検出し、これからジッタ前縁のMin位置を求める手段と、DUT出力端からの出力信号を受けて、後方側から順次手前ヘストロブ信号を移動させ、各ストロブ移動位置でフェイルカウンタによるフェイルの有無を検出し、これからジッタ後縁のMax位置を求める手段。



【特許請求の範囲】

【請求項1】 タイミング比較部のストローブ信号、及びフェイルカウンタを使用して、被試験デバイス(DUT)のジッタを測定する半導体試験装置において、所定の基準クロック信号をDUTの基準クロック入力端に供給する該試験パターン発生器と、

DUT出力端からの出力信号を受けて、手前側から順次後方へ該ストローブ信号を移動させ、各ストローブ移動位置でフェイルカウンタによるフェイルの有無あるいはバスの有無を検出し、これからジッタ前縁のMin位置を求める手段と、

DUT出力端からの出力信号を受けて、後方側から順次手前へ該ストローブ信号を移動させ、各ストローブ移動位置でフェイルカウンタによるフェイルの有無あるいはバスの有無を検出し、これからジッタ後縁のMax位置を求める手段と、

以上を具備して求めた両ジッタ位置の差分をジッタ幅として得ることを特徴とした半導体試験装置。

【請求項2】 半導体試験装置が有するタイミング比較部のストローブ信号、及びフェイルカウンタを使用する被試験デバイスのジッタ測定において、

該試験パターン発生器から所定の基準クロック信号をDUTの基準クロック入力端に供給し、

該フェイルカウンタがフェイル検出しないジッタ後縁側の位置にストローブ信号の位置を初期設定し、

所定時間の間該フェイルカウンタによるフェイル検出を行い、第1にフェイル検出されない場合はジッタ後縁を検出する方向に該ストローブ信号のタイミング位置を移動して繰り返し実施し、第2にフェイル検出した場合は該ストローブ信号の位置をジッタ後縁のMax位置として得て保存し、

該フェイルカウンタが全てフェイルを検出するジッタ前縁側の位置にストローブ信号の位置を初期設定し、

所定時間の間該フェイルカウンタによるフェイル検出を行い、第1に全てフェイルを検出した場合はジッタ前縁を検出する方向に該ストローブ信号のタイミング位置を移動して繰り返し実施し、第2に全てフェイルを検出なかった場合は該ストローブ信号の位置をジッタ前縁のMin位置として得て、

前記ジッタ前縁のMin位置とジッタ後縁のMax位置の差分をジッタ幅として求めることを特徴としたジッタ測定方法。

【請求項3】 半導体試験装置が有するタイミング比較部のストローブ信号、及びフェイルカウンタを使用する被試験デバイスのジッタ測定において、

請求項2記載の測定方法でジッタ前縁のMin位置とジッタ後縁のMax位置を得ておき、

該試験パターン発生器から所定の基準クロック信号をDUTの基準クロック入力端へ供給する際に、所定期間の出力停止あるいは不定な基準クロック信号とした後、元

の安定した基準クロック信号を供給し、この時点から内蔵時計による経過時間を測定し、

予め求めておいたジッタ前縁のMin位置あるいはジッタ後縁のMax位置に隣接してフェイル検出されない所定位置にストローブ信号の位置を設定し、単位微小時間毎に該フェイルカウンタの計数データを読み出し、該計数データが変化しなくなった経過時間をDUTのジッタ安定時間として得ることを特徴としたジッタ測定方法。

【請求項4】 タイミング比較部の両方のストローブ信号、及びフェイルカウンタを使用して、被試験デバイスのジッタを測定する半導体試験装置において、

所定の基準クロック信号をDUTの基準クロック入力端に供給する該試験パターン発生器と、

DUT出力端からの出力信号を受けて、手前側から順次後方へ一方のストローブ信号を移動させ、各ストローブ移動位置でフェイルカウンタによるフェイルの有無を検出し、これからジッタ前縁のMin位置を求める手段と、

DUT出力端からの出力信号を受けて、後方側から順次手前へ他方のストローブ信号を移動させ、各ストローブ移動位置でフェイルカウンタによるフェイルの有無を検出し、これからジッタ後縁のMax位置を求める手段と、

以上を具備して求めた両ジッタ位置の差分をジッタ幅として得ることを特徴とした半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、発振回路を有するデバイスあるいはジッタを含んだクロック信号を出力するデバイスにおいて、半導体試験装置を用いてこのデバイスが出力するジッタの測定に関する。

【0002】

【従来の技術】最近のデバイスの中には、内部にPLL回路を内蔵し、外部から供給される基準クロックに同期して所定の周波数信号を出力するデバイスがある。このようなデバイスの試験においては、デバイスの内部レジスタ等の設定条件を所定に設定制御し、高純度の基準クロックを印加し、デバイスからの出力信号を受けて、このジッタ量を測定する必要がある。

【0003】従来技術例について図4のジッタ測定構成図を示して説明する。尚、被試験デバイス(DUT)はPLL回路内蔵型のデバイスと仮定する。ジッタ測定装置の構成は、デバイス内部条件設定制御部70と、基準信号発生器80と、出力波形観測装置90(例えばオシロスコープ等)とで成る。

【0004】デバイス内部条件設定制御部70は、DUT内部レジスタ等の設定条件を所定条件に設定する制御信号を供給するものである。基準信号発生器80は、DUTのジッタ測定精度に影響を与えない高純度の所望周波数の基準クロック発生源であり、DUTの基準クロッ

ク入力端11と出力波形観測装置90のトリガ入力端へ供給する。出力波形観測装置90は、前記基準信号発生器80からの基準クロック信号81に同期して掃引させ、DUTのPLL発振周波数の出力端12からの出力信号を受けて、このジッタ幅を観測し、デバイス仕様の規格内にあるかを検査する。

【0005】上記説明のように、専用のジッタ測定治具を用意し、デバイス内部条件設定制御部70によりDUT内部条件を所定条件に設定して試験するが、DUT内部条件を変えて複数回測定する場合が多い為、検査時間がかかる。特に大量生産されるデバイスでは、他の内蔵回路の一般的なDC特性・AC特性・機能特性の各種試験が半導体試験装置で試験される。この為、ジッタ測定の為の専用の治具を別に設置して別々に試験することはテストコスト/測定時間の点で実用上の不便があった。

【0006】

【発明が解決しようとする課題】そこで、本発明が解決しようとする課題は、半導体試験装置を用いてデバイスが出力する周波数信号のジッタを測定する測定方法及びジッタ測定装置を実現することである。

【0007】

【課題を解決するための手段】第1図と第2図と第3図は、本発明に係る解決手段を示している。第1に、上記課題を解決するために、本発明の構成では、所定の基準クロック信号21clkをDUTの基準クロック入力端11に供給する試験パターン発生器20を設け、DUT出力端12からの発振出力信号15を受けて、手前側から順次後方へストローブ信号STB1を移動させ、各ストローブ移動位置でフェイルカウンタ40によるフェイルの有無（あるいはバスの有無）を検出し、これからジッタ前縁のMin位置201を求める手段を設け、DUT出力端12からの発振出力信号15を受けて、後方側から順次手前へストローブ信号STB1を移動させ、各ストローブ移動位置でフェイルカウンタ40によるフェイルの有無（あるいはバスの有無）を検出し、これからジッタ後縁のMax位置202を求める手段を設け、求めた両ジッタ位置の差分をジッタ幅として得る構成手段とする。これにより、タイミング比較部30のストローブ信号STB1、及びフェイルカウンタ40を使用して、被試験デバイスのジッタを測定する半導体試験装置において、被試験デバイスが出力する周波数信号のジッタ測定を実現する。

【0008】第2図は、本発明に係る解決手段を示している。第2に、上記課題を解決するために、本発明の構成では、試験パターン発生器20から所定の基準クロック信号21clkをDUTの基準クロック入力端11に供給し、フェイルカウンタ40がフェイル検出しないジッタ後縁側の位置にストローブ信号STB1の位置を初期設定し、所定時間Tmeasの間フェイルカウンタ40によるフェイル検出を行い、第1にフェイル検出されない場

合はジッタ後縁を検出する方向にストローブ信号STB1のタイミング位置を移動して繰り返し実施し、第2にフェイル検出した場合はストローブ信号STB1の位置をジッタ後縁のMax位置202として得て保存する。次にフェイルカウンタ40が全てフェイルを検出するジッタ前縁側の位置（即ち一回もバスとならない位置）にストローブ信号STB1の位置を初期設定し、所定時間Tmeasの間フェイルカウンタ40によるフェイル検出を行い、第1に全てフェイルを検出した場合（即ち一回もバスとならない場合）はジッタ前縁を検出する方向にストローブ信号STB1のタイミング位置を移動して繰り返し実施し、第2に全てフェイルを検出しなかった場合（即ち少なくとも一回バスを検出した場合）、ストローブ信号STB1の位置をジッタ前縁のMin位置201として得て、前記ジッタ前縁のMin位置201とジッタ後縁のMax位置202の差分をジッタ幅として求めるジッタ測定方法とする。これにより、半導体試験装置が有するタイミング比較部30のストローブ信号STB1、及びフェイルカウンタ40を使用して、例えばPLL発振回路を内蔵する被試験デバイスのジッタ測定において、被試験デバイスが出力する周波数信号のジッタ測定方法を実現する。

【0009】またジッタが安定するまでのジッタ安定時間の測定方法としては、上述測定方法でジッタ前縁のMin位置201とジッタ後縁のMax位置202を得ておき、試験パターン発生器20から所定の基準クロック信号21clkをDUTの基準クロック入力端11へ供給する際に、所定期間の出力停止あるいは不定な基準クロック信号21clkとした後、元の安定した基準クロック信号21clkを供給し、この時点から内蔵時計による経過時間を測定し、予め求めておいたジッタ前縁のMin位置201あるいはジッタ後縁のMax位置202に隣接してフェイル検出されない所定位置にストローブ信号STB1の位置を設定し、単位微小時間毎にフェイルカウンタ40の計数データを読み出し、計数データが変化しなくなった経過時間をDUTのジッタ安定時間として得る測定方法がある。これにより、安定な基準クロック信号21clkが供給されてからジッタが安定するまでのジッタ安定時間の測定を実現する。

【0010】第5図は、本発明に係る解決手段を示している。第3に、上記課題を解決するために、本発明の構成では、所定の基準クロック信号21clkをDUTの基準クロック入力端11に供給する試験パターン発生器20を設け、DUT出力端12からの発振出力信号15を受けて、手前側から順次後方へ一方のストローブ信号STB1を移動させ、各ストローブ移動位置でフェイルカウンタ40によるフェイルの有無を検出し、これからジッタ前縁のMin位置201を求める手段を設け、DUT出力端12からの発振出力信号15を受けて、期待値パターン25expの値を反転させて、後方側から順次手

前へ他方のストロブ信号STB2を移動させ、各ストロブ移動位置でフェイルカウンタ40によるフェイルの有無を検出し、これからジッタ後縁のMax位置202を求める手段を設け、求めた両ジッタ位置の差分をジッタ幅として得る測定手法がある。この場合は、両方のストロブ信号STB1、STB2を使用するジッタ幅測定手法である。

【0011】尚、上述のジッタ測定において、タイミング比較部30内に2つ有するコンパレータ回路31、32の片方のストロブ信号STB1のみを使用する測定手法を用いた場合には、両方のストロブ信号STB1、STB2を使用した場合よりもジッタ測定誤差要因を低減できる利点を得られる。

【0012】

【発明の実施の形態】以下に本発明の実施の形態を実施例と共に図面を参照して詳細に説明する。

【0013】本発明実施例について図1のジッタの測定に係る要部構成図と、図2の測定フローチャート図と、図3のフェイルカウンタによる検出動作説明図を示して説明する。

【0014】本発明の要部構成は、図1に示すように、試験パターン発生器20と、タイミング比較部30と、フェイルカウンタ40と、測定プログラム50と、制御部60とで成る。これら構成の全ては、半導体試験装置が有する機能要素である。フェイルカウンタ40の計数動作は、半導体試験装置が有する基本機能要素であり、コンパレータ回路31、32によりラッチされた信号に対して試験パターン発生器20からの期待値パターン25expと比較され不一致した場合、かつCPE（コンパレータ・イネーブル）信号が有効な場合に計数される。尚、この期待値パターン25expとCPE信号はメモリ試験装置、ロジック試験装置により異なり、例えば3ビットコード信号で計数制御する構成もあるが、何れにしてもこのフェイルカウンタを制御する入力機能要素としては同じであり、また従来技術である。

【0015】本発明では、ストロブ点を順次移動しながらフェイルカウンタ40の計数値の有無（即ちフェイルの有無）をチェックすることでジッタ幅に相当する2個所の境界点を求め、これによりジッタ幅を求める手法である。尚、本発明では、ジッタ測定がより精度よく測定可能とする為に、タイミング比較部30内に2つ有するコンパレータ回路31、32の片方のストロブ信号STB1のみを使用する。これは数十ピコ秒という微小なジッタ幅を精度よく測定する為に、測定側の測定誤差要因をできる限り取り除く為である。

【0016】ジッタ測定動作について、図2の測定フローチャート図を示して以下に説明する。尚、ジッタ測定時は、DUT出力端12からの発振出力信号15をタイミング比較部30に供給するようにピンエレクトロニクス回路の各種設定条件を予め設定しておくことは言うま

でもない。

【0017】先ず#100は、DUTをジッタ測定状態にセットアップする。即ち、DUT内部条件を所定に設定し、DUTの他の入力ピンを所定状態にし、試験パターン発生器20からの高純度の基準クロック信号21clkをDUTの基準クロック入力端11に供給しておく。更に期待値パターン25expの期待値="L"にし、DUTを動作開始からジッタが安定する所定経過時間Twait後において、フェイルカウンタ40がフェイル(Fail)検出しない位置、即ち図3(a)に示すストロブ点200にストロブ信号STB1を初期設定しておく。尚、試験パターン発生器20からDUTに供給する基準クロック信号21clkは半導体試験装置が有するジッタの少ない安定な信号源である。尚、初期位置であるストロブ点200位置は、第1に半導体試験装置が有するデバイス試験機能を利用して、予めDUTの発振出力信号15の遷移点を測定しておき、この位置情報を使用する手法と、第2に、下記#101～#103の測定手法を使用して粗くストロブ点移動させて求め、これによる位置情報を使用する手法がある。

【0018】#101～#103の動作ステップでは、ジッタ後縁のMax位置202を求める。#101は、所定時間Tmeasの間フェイル計数を行う。即ち指定のストロブ点200で所定クロック時間待ち、この期間フェイルカウンタ40によるフェイル計数を行う。これにより、一回でもDUTの発振出力信号15のレベルが"H"になればフェイル計数されフェイル検出となる。ここで所定時間Tmeasとはランダムに発生するジッタを検出可能なクロック時間、例えば1000～1000クロック時間である。この時間は極めて短時間であり、フェイル有無の検出が高速に行なわれる。

【0019】#102は判定分岐である。即ちフェイルカウンタ40の内容を読み出し、計数値がゼロの場合は#103に進み、有れば#104へ進む。即ち上記#103により図3(a)に示すように、順次ストロブ点200を手前に移動させてくると、やがてフェイル検出し、#104へ進む。#103は、次のストロブ点200位置へ移動させる為に、例えば単位時間=20ピコ秒時間を手前方向に移動させる。そして再び#101で同様にしてフェイル計数測定を行う。#104は、図3(a)に示すように、この位置をジッタ後縁のMax位置202として保存しておく。

【0020】#105は、期待値パターン25expの期待値は"L"のまま同じ条件とし、ストロブ信号STB1のストロブ点200を図3(b)に示す位置に移動させてフェイルカウンタ40が全てフェイルする状態にする。その後#106へ進む。

【0021】#106～#109の動作ステップでは、ジッタ前縁のMin位置201を求める。#106は、CPE信号を所定既知回数の期間イネーブルにし、この

期間のフェイルをフェイルカウンタ40で計数する。この計数値が全フェイル回数値と一致する場合は全てがフェイルとして検出され、全フェイル回数値と異なる場合は、少なくとも一回のパス(Pass)が検出される。この動作を所定の回数繰り返し実施する。このテスト結果で、一回でも全フェイルで無ければ、少なくとも1回のパスを検出したことになる。＃107は判定分岐である。即ち前記＃106のテスト結果を受けて、全フェイルの場合は＃108に進み、一回でもパスを検出した場合は＃109へ進む。即ち図3(b)に示すように、順次ストロブ点200を後方へ移動させていき、やがて一回でもパスを検出したら、＃109へ進む。＃109は、図3(b)に示すように、この位置をジッタ前縁のMin位置201とする。

【0022】最後に＃110では、求めるDUTのジッタ幅205=Max位置-Min位置として得られる。これがDUTのジッタ幅として求まる。尚、測定プログラム50は、上述測定が行われるように記述作成しておくことは言うまでもない。また、上述測定フローにおいて＃105～＃109を先に測定実施しても良い。

【0023】上述発明の測定手法によれば、タイミング比較部30内の片方のコンパレータ回路31のみを使用し、順次ストロブ点200を移動させて、フェイルの有無を検出する手法により、DUTのジッタの前縁と後縁を測定することが可能となるので、精度の良いジッタ測定が実現できる大きな利点を得られる。更にジッタ測定項目を含めたDUTの各種試験が半導体試験装置のみで行える大きな利点も得られる。

【0024】尚、上述実施例の説明では、DUTからの発振出力信号15が矩形波の場合で説明していたが、サイン波の場合においても、タイミング比較部30内のコンパレータに所望の比較電圧VOL(例えば0.00V設定)を与えてデジタル信号に変換できるので同様にして実施できることは明らかである。

【0025】また、上述実施例の説明では、DUTからの発振出力信号15の周波数が、印加する基準クロック信号21clkと同一の場合で説明していたが、DUTが出力する出力周波数が異なる場合であっても基準クロック信号21clkとの位相同期する相関関係があることから所定のクロックサイクルでのみCPE信号を有効にするように試験プログラムを作成して実施すれば良く、半導体試験装置にとっては容易なことである。例えば基準クロック信号21clkの1/10の発振出力信号15の場合は、基準クロック信号21clkが10クロックサイクル毎にCPE信号を有効にすれば良い。よって、異なる出力周波数の場合においても同様にして実施可能である。

【0026】尚、上述実施例の説明では、DUTの発振出力信号15のジッタが安定する所定経過時間Twait後に測定実施する例で説明していたが、上述手法を使用し

てジッタが安定するまでのジッタ安定時間を測定可能である。即ち、上述測定方法でジッタ前縁のMin位置201とジッタ後縁のMax位置202を得ておき、試験パターン発生器20から所定の基準クロック信号21clkをDUTの基準クロック入力端11へ供給する場合において、所定期間一時的にランダム状態(あるいは別クロック周波数あるいはクロック停止)の基準クロック信号21clkとした後、元の安定した基準クロック信号21clkを供給し、この時点から内蔵時計による経過時間を測定し、予め求めておいたジッタ前縁のMin位置201あるいはジッタ後縁のMax位置202に隣接してフェイル検出されない所望位置(所望ジッタ規格位置)にストロブ信号STB1の位置を設定し、単位微小時間毎にフェイルカウンタ40の計数データを読み出し、計数データが変化しなくなった経過時間をDUTの安定時間として得る方法があり、このジッタ安定時間測定手法を追加して設けても良い。これにより安定な基準クロック信号21clkが供給されてからジッタが安定するまでのジッタ安定時間を測定実現できる。例えばPLL発振回路の場合は位相ロックするまでの経過時間を測定できる効果が得られる。

【0027】尚、上述実施例の説明では、比較的短時間の所定時間Tmeasの期間フェイル計数を行ってジッタ有無を検出する例で説明していたが、所望により、ジッタのゆらぎや最悪値のジッタ幅を求める為に、長時間の所定時間Tmeasの期間フェイル計数を行うようにして最悪のジッタ幅を求めるようにしても良い。

【0028】尚、上述実施例の説明では、ジッタ測定以外のDUTの条件を変化させない場合の測定例で説明していたが、所望によりDUT内部回路の他の周辺回路を変化させたりして起こるダイナミック・ジッタの測定に対しても、この測定と同時平行して所望の試験パターンを試験パターン発生器20からDUTへ印加できるから、上述同様の手法を用いることで、同様にして実施可能であることは明らかである。この場合は、実際のDUTの動作状態に近い動作条件でのDUT内部の隣接回路に対する干渉影響に伴うジッタ測定が実現できる利点を得られる。

【0029】尚、上述実施例の説明では、PLL発振回路を内蔵するDUTのジッタ測定の具体例で説明していたが、所望により基準クロック信号21clkとの位相同期の相関関係を有する出力信号を出力する他のデバイスにおいても、同様にしてジッタ測定可能である。

【0030】尚、上述実施例の説明では、ジッタ測定時の誤差要因を低減する為に、タイミング比較部30内に2つ有するコンパレータ回路31、32の片方のストロブ信号STB1のみを使用する測定手法を用いる具体例で説明していたが、所望により図5(b)の測定フローチャート図に示すように、両方のストロブ信号STB1、STB2を使用し、これに対応して期待値パター

9

ン25expの期待値を#105で反転させ、#106～#108のテストと判定を#101～#103と同様にしてフェイルの有無を検出してジッタ前縁のMin位置201を得る測定手法としても良い。この場合は両ストロブ信号STB1、STB2間のスキュー誤差要因が加味されるが実用可能である。

【0031】

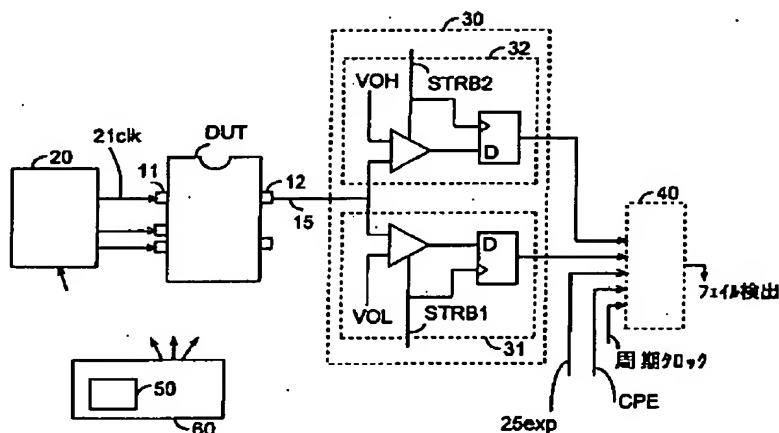
【発明の効果】本発明は、上述の説明内容から、下記に記載される効果を奏する。上述発明の構成によれば、順次ストロブ点200を移動させてジッタの有無を検出し、これを用いてジッタの前縁と後縁を各々測定することで目的とするジッタ幅を求めることができる。またジッタ測定項目を含めたDUTの各種試験が半導体試験装置のみで行える大きな利点も得られ、テストコストの低減が可能になり、この経済的効果は大である。

【図面の簡単な説明】

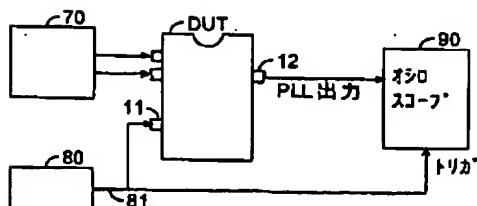
【図1】 本発明の、ジッタの測定に係る要部構成図である。

*

【図1】



【図4】



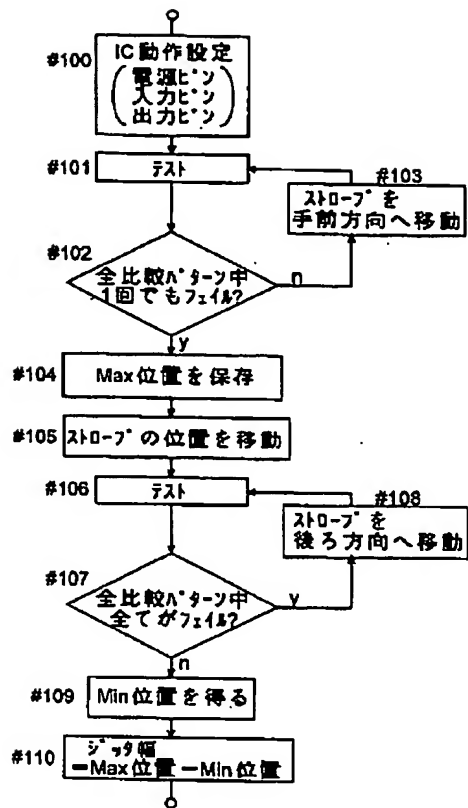
10

- * 【図2】 本発明の、測定フローチャート図である。
- 【図3】 本発明の、フェイルカウンタの動作説明図である。
- 【図4】 従来の、ジッタ測定構成例である。
- 【図5】 本発明の、他の測定フローチャート図である。

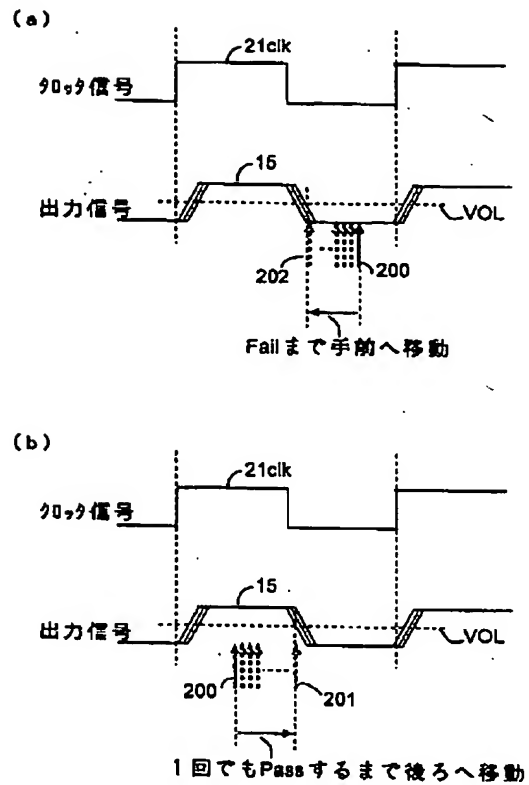
【符号の説明】

- 20 試験パターン発生器
- 30 タイミング比較部
- 31, 32 コンパレータ回路
- 40 フェイルカウンタ
- 50 測定プログラム
- 60 制御部
- 70 デバイス内部条件設定制御部
- 80 基準信号発生器
- 90 出力波形観測装置
- DUT 被試験デバイス

【図2】



【図3】



【図5】

